

0300 #4

501.41071X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Masaru KOKUBO
Serial No.: 10/067,234
Filed: February 7, 2002
For: FM TRANSMITTER



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

March 8, 2002

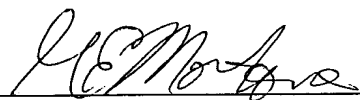
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant hereby claims the right of priority based on Japanese Patent Application No. 2001-071641 filed March 14, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/kd
Attachment
(703) 312-6600

3101-34 MT 49



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月14日

出願番号

Application Number:

特願2001-071641

出願人

Applicant(s):

株式会社日立製作所

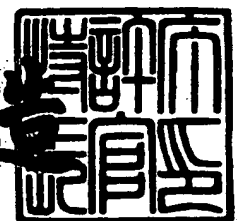


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3092540

【書類名】 特許願

【整理番号】 NT01P0072

【提出日】 平成13年 3月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 27/12

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 小久保 優

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 FM送信機

【特許請求の範囲】

【請求項 1】

位相比較器とチャージポンプとループフィルタと電圧制御発振器とカウンタとを含む位相同期ループ（PLL）と、

送信信号に対応した周波数偏移を加算する加算器と、

アンテナへ出力するためのバッファ増幅器とから構成される FM送信機であって、

上記 PLL の起動／停止信号およびバッファ増幅器の起動／停止信号を入力とし、上記チャージポンプの出力を高抵抗状態に保持するための制御信号を出力する制御回路を設けることを特徴とする FM送信機。

【請求項 2】

請求項 1 記載の FM送信機において、上記制御回路は、

バッファ増幅器の起動／停止信号を遅延する遅延回路と、該遅延回路の出力を一方の入力とし PLL の起動／停止信号を他方の入力として上記 PLL の起動／停止信号によりセットされ、上記遅延回路の出力によりリセットされるフリップフロップを含み、

上記 PLL が起動するタイミングから、バッファ増幅器が起動して一定の時間だけ遅延したタイミングまでの間、上記 PLL を閉ループ制御に保持し、それ以外の期間は PLL を開ループ状態とするように制御することを特徴とする FM送信機。

【請求項 3】

請求項 1 記載の FM送信機において、上記制御回路は、

上記送信信号に含まれるプリアンプを検出するプリアンプ検出回路と、 PLL の起動／停止信号によりセットされ上記プリアンプ検出回路の出力によりリセットされるフリップフロップを含み、

上記 PLL が起動するタイミングからプリアンプが送出されるまでの間、上記 PLL を閉ループ制御に保持し、それ以外の期間では PLL を開ループ状態と

するように制御することを特徴とするFM送信機。

【請求項4】

請求項1から3のいずれかに記載のFM送信機において、上記チャージポンプは、上記制御回路からの制御信号により、位相比較器から出力される周波数制御信号を抑圧するための論理回路を具備することを特徴とするFM送信機。

【請求項5】

請求項1から3のいずれかに記載のFM送信機において、上記チャージポンプは、上記制御回路からの制御信号によりバイアス電流を零にするためのスイッチを具備することを特徴とするFM送信機。

【請求項6】

請求項1記載のFM送信機において、上記制御回路は、

上記送信信号を積分して得られる送信信号の“H”または“L”の発生数の偏りを示す積分値の絶対値が、予め定められた閾値を超えたことを検出する送信信号の“H”または“L”の発生数偏り検出回路と、PLLの起動／停止信号によりリセットされ上記偏り検出回路の出力によりリセットされるフリップフロップとを含み、

PLLが起動するタイミングから、上記偏り検出回路により送信信号の“H”または“L”の発生数の偏りが所定の閾値を超えて検出されるまでの間、上記PLLを閉ループ制御に保持し、それ以外の期間はPLLを開ループ状態とするように制御することを特徴とするFM送信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は送信機に関し、特に半導体上に形成したFM（周波数変調）変調回路を用いたFM送信機に関する。

【0002】

【従来の技術】

FM変調信号を送出するための従来のFM送信機は、特開平3-236634号公報に記載されるように、位相同期回路（PLL）を用いている。

【0003】

この種の従来のFM送信機は、基準発振回路、位相比較器、プログラマブル分周器、L. P. F (低域通過フィルタ)、サンプルホールド回路、加算器、電圧制御発振器(VCO)、バッファ増幅器(AMP)、および、送信アンテナから構成されていた。この従来例の動作を以下に説明する。

【0004】

電圧制御発振器の出力はプログラマブル分周器によって分周され、位相比較器の一方の入力端子へ入力される。また、位相比較器の他方の入力は、基準発振回路から基準信号が供給される。位相比較器は、上記2つの信号の位相差に相当するパルス幅を持つ信号を出力する。次に、この位相比較器の出力信号は、低域通過フィルタ、サンプルホールド回路、および、加算器を介して、電圧制御発振器の周波数制御端子にフィードバックされる。この一連の接続によりPLLが構成される。電圧制御発振器から出力される信号の周波数は、上記フィードバック構成により、基準信号にプログラマブル分周器の分周数を乗じた周波数となる。

【0005】

この従来例のFM送信機にはさらにマイクロコンピュータが設けられ、上記位相比較器とプログラマブル分周器の出力が入力される。マイクロコンピュータは、PLLがロックしたことを位相比較器からの信号で検出する。マイクロコンピュータは、ロック検出結果をもとに、サンプルホールド回路を起動させ、ロックしているときの電圧制御発振器の制御電圧をサンプルホールドする。次に、送信データから得られた周波数制御信号が、デジタル/アナログ変換器と低域通過フィルタを介して加算器により加算されるので、FM変調信号が得られる。なお、このようなPLLのループの中で位相比較器の出力を電圧制御発振器に必要な直流に変換するために使われる低域通過フィルタは、ループフィルタと呼ばれている。さらに電圧制御発振器から発生したFM変調信号は、バッファ増幅器を介してアンテナに供給され、FM変調信号が送信される。

【0006】

このように、従来例はサンプルホールド回路を用いてPLLの閉ループを切断すると同時に、サンプルホールドしたループフィルタの出力電圧を、加算器によ

り送信信号に対応した周波数偏移を与える信号に加算することで、FM変調信号を生成するものである。このとき、位相比較器からのロック信号をマイクロコンピュータにより検出することによって、サンプルホールド回路を制御しているので、PLLがロックした時点で自動的にFM変調信号を発生する状態に移行できる。

【0007】

【発明が解決しようとする課題】

しかしながら、前述した従来のFM送信機によれば、バッファ増幅器の起動に関する制御については考慮されておらず、低消費電力という観点では不十分なものであった。しかも、PLLを開ループに移行するためにサンプルホールド回路を用いているため、消費電力が大きくなるという点にも配慮されていなかった。

【0008】

そこで、本発明の目的は、バッファ増幅器までも含めた起動／停止の制御が可能で、サンプルホールド回路をPLLの開ループ移行に用いる必要のないFM送信機を提供することにある。さらに、消費電力の大きなバッファ増幅器の起動時間を最小にしたFM送信機を提供することも目的の一つである。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明に係るFM送信機は、位相比較器とチャージポンプとループフィルタと電圧制御発振器とカウンタとを含む位相同期ループ（PLL）と、送信信号に対応した周波数偏移を加算する加算器と、アンテナへ出力するためのバッファ増幅器とから構成されるFM送信機であって、上記PLLの起動／停止信号およびバッファ増幅器の起動／停止信号を入力とし、上記チャージポンプの出力を高抵抗状態に保持するための制御信号を出力する制御回路を設けることを特徴とするものである。すなわち、本発明に係るFM送信機は、PLLの開ループ／閉ループ選択信号とバッファ増幅器の起動／停止信号からFM送信機の変調動作（以下、単にFM変調動作という）の起動／停止を制御するように構成したものである。

【0010】

ここで、PLLの閉ループ／開ループ選択信号はPLLの閉ループ動作と開ループ動作を制御するための信号であり、従来例のようなマイクロコンピュータによる検出に基づいて出力される信号だけではなく、カウンタなどを用いて一定時間経過後を検出することによりPLLがロックしたことを示す信号であっても良い。

【0011】

さらに、プリアンプル信号を用いたFM送信機の場合には、PLLの閉ループ／開ループ選択信号と、バッファ増幅器の起動／停止信号と、プリアンプル検出信号とを用いて、FM変調動作の起動／停止を制御し、プリアンプル検出前はPLLが閉ループでのFM変調動作でFM信号を発生し、プリアンプル送信終了後にPLLの開ループでのFM変調動作に移行するように制御する構成とすればよい。すなわち、FM送信機がプリアンプルを送出している間はPLLが閉ループ制御となっているように構成する。

【0012】

また、上記FM送信機において、チャージポンプ回路の出力を非導通にする、または、位相比較器から出力される2つの周波数制御信号すなわち周波数を高めるための制御信号と周波数を低めるための制御信号とを抑止することにより、PLLを閉ループ動作から開ループ動作に制御するように制御回路を構成してもよい。これにより、従来例のようにサンプルホールド回路を用いることなく、PLLを閉ループ動作から開ループ動作に移行することができる。

【0013】

【発明の実施の形態】

以下、本発明に係るFM送信機の好適な実施の形態について添付図面を参照しながら以下詳細に説明する。

【0014】

<実施の形態例1>

本発明に係るFM送信機の実施の形態例を、図1を用いて説明する。

図1に示すFM送信機は、基準信号REFが入力され、電圧制御発振器(VCO)8からカウンタ11を介して帰還された信号との位相差を検出する位相比較

器 4 と、位相比較器 4 から出力される周波数を高める制御信号 UP または周波数を低める制御信号 DN が入力され、位相比較器 4 が検出した位相差に相当する信号に変換するチャージポンプ 5 と、チャージポンプ 5 の出力が入力され、チャージポンプ 5 の出力信号に含まれる雑音成分を抑圧すると共に PLL を安定に保つループフィルタ 6 と、ループフィルタ 6 の出力と送信データ TX との加算を行う加算回路 7 と、加算回路 7 の出力を入力し、その値に対応した発振周波数の信号を出力する VCO 8 と、VCO 8 の出力を 2 つの信号系路に分割し、一方は、予め定められた数値まで係数するカウンタ 11 に入力され、他方は、バッファ増幅器 (AMP) 9 を介してアンテナ 10 から FM 変調信号として送信される構成である。

【 0 0 1 5 】

このように位相比較器 4、チャージポンプ 5、ループフィルタ 6、VCO 8、および、カウンタ 11 にて構成される一連のフィードバックループを PLL (位相制御ループ) と呼ぶ。

【 0 0 1 6 】

ここで、上記 PLL の制御ループに対して以下のような構成で送信する信号を印加する。送信データ TX とその同期クロック TXCK がガウスフィルタ 1 に入力され、波形整形された後、DA 変換器 (DAC) 2 においてアナログ信号に変換される。このアナログ信号は、低域通過フィルタ 3 により高周波数帯の雑音を抑圧した後、加算回路 7 の他方の入力に供給される。さらに、カウンタ 11 がカウントする予め定められた数値はレジスタ 12 に蓄えられており、3 つの信号 DATA, CLK, STB により外部の制御装置から書き換え可能な構成となっている。また、チャージポンプ 5 には、制御回路 13 からの閉ループ/開ループ選択信号、すなわち制御信号 CL/OP が接続され、PLL が閉ループ動作する場合と PLL のフィードバックループを切断して開ループ動作する場合との切り替えを行うように構成されている。

【 0 0 1 7 】

制御回路 13 の構成を図 3 に示す。

制御回路 13 は、バッファ増幅器 9 を起動するための信号 PA_PD が入力さ

れる複数個の遅延用レジスタ 3 1 ~ 3 4 と、最終段の遅延用レジスタ 3 4 の出力が入力され、立ち下がリエッジにおいてパルスを出力する遅延インバータ 3 5 ~ 3 9 及び NOR 回路 4 0 と、PLL を起動するための信号 PLL_PD が入力され、立ち下がリエッジにおいてパルスを出力する遅延インバータ 2 6 ~ 3 0 及び NOR 回路 2 3 と、NOR 回路 4 0, 2 3 の出力がそれぞれ入力され、フリップフロップを構成している NOR 回路 2 2, 2 4 と、NOR 回路 2 2 の出力を反転して出力するためのインバータ 2 5 から構成される。

【 0 0 1 8 】

図 3 では、遅延用レジスタは 4 個の例を示したが、必要な遅延時間を実現するために、任意の段数の遅延用レジスタを設ける構成も適用でき、また、可変遅延回路のような遅延を与える回路も適用可能である。ここで必要な遅延時間とは、バッファ増幅器 9 が起動することにより発生する PLL の収束周波数の揺らぎが十分小さくなるための時間以上の時間に相当する。

【 0 0 1 9 】

以上の説明において、バッファ増幅器 9 は PA_PD 信号が “ロー (L)” のとき起動し、“ハイ (H)” のとき停止し、PLL は PLL_PD 信号が “L” のとき起動し、“H” のとき停止すると定義した。さらに、VCO 8 も PLL_PD 信号により制御され、“H” のとき停止し、“L” のとき起動する。また、それ以外のブロックに対しても図では制御線を省略しているが、PLL_PD 信号により同様に起動・停止が制御されるものとする。

【 0 0 2 0 】

本実施の形態例の動作について図 7 を用いて説明する。

図 7 の横軸は時間を表し、その時間に対応した 3 つの信号 CL/OP, PLL_PD, PA_PD およびそれらの制御信号にて制御される FM 送信機の送信状態を示している。ここでは FM 送信機の送信状態として、停止モード、PLL 収束モード、プリアンブル送信モード、および送信データの送信モードの 4 つのモードがある。

【 0 0 2 1 】

最初の送信状態は停止モードであり、PLL_PD 信号と PA_PD 信号は共

に“H”となり、FM送信機は停止している。

【0022】

次に、PLL_PD信号が“H”から“L”に遷移することにより、PLLが起動する。このとき、制御回路13がPLL_PD信号の遷移を検出し、制御信号CL/OPを“L”から“H”に遷移させることにより（図7で示したt1時点）、PLLは閉ループ制御となり、ロック状態への収束を開始する。PLL_PD信号の遷移を検出する方法は、PLL_PD信号を奇数段のインバータ26～30へ入力し、予め定められた遅延時間を与え、その最終段のインバータ30の出力とPLL_PD信号との論理和の否定演算をNOR回路23で得ることにより、PLL_PD信号の立ち下がり点で正のパルスが出力される。この出力が、フリップフロップとして接続された2つのNOR回路22，24に入力され、該フリップフロップ出力を反転させる。したがって、インバータ25を介した制御信号CL/OPは“L”から“H”に遷移する。ここで、インバータ5段を使用した例を示したが、5段に限らず、必要なパルス幅を得るために他の段数としても問題はない。

【0023】

次に、PLLがロックした後、PA_PD信号を“H”から“L”に遷移させ（図7で示したt2時点）、バッファ増幅器9を起動する。ここで、PLLがロックしたことを検出する方法として、専用のロック検出回路を用いることもできるが、PLLのパラメータ設定時に決めた自然周波数 ω_n から収束時間が決められることが良く知られているので、タイマーを用いて一定の時間経過後にPA_PD信号を遷移させる方法も適用可能である。

【0024】

なお、PA_PD信号が“H”から“L”に遷移してバッファ増幅器9が起動するときに発生するバッファ増幅器9の突入電流により、バッファ増幅器9以外のブロックの電源やグラウンドの電位が変動する。特にFM送信機のPLLがこの影響を受けやすいため、PLLの発振周波数が収束周波数から揺らぐ現象が発生する。この周波数の揺らぎが規定の周波数範囲以下に再収束するまで、開ループ制御への制御には移行しないように、図3の制御回路には、遅延回路のための

遅延用レジスタを複数個設けている。

【0025】

最終段の遅延用レジスタ34の出力は奇数段のインバータ35～39とNOR回路40の一方の入力に入力され、さらにNOR回路40の他方の入力には最終段のインバータ39の出力が接続される。この回路構成により、PA_PD信号が遅延された信号の立ち下がり点において正のパルスが出力される。このNOR回路40の出力が、フリップフロップとして接続された2つのNOR回路22, 24の他方の入力に接続され、フリップフロップの出力が反転する。この出力はインバータ25を介して制御信号CL/OPとして出力され、制御信号CL/OPは“H”から“L”に遷移する。これにより、PLLはフィードバックループが遮断され、開ループ制御に移行する。その結果、図7のタイムチャートに示すように、遅延用レジスタ31～34の遅延時間分 t_D だけ遅れたタイミングにて閉ループ制御から開ループ制御へ移行する。

【0026】

次に開ループ制御に移行した後、プリアンプルと送信データTXがガウスフィルタ1、DAC2、低域通過フィルタ3を介して加算器7にてVCO8の入力に加算され、VCO8よりFM変調信号が出力される。ここで、プリアンプルは予め仕様で定められた-1, +1, -1, +1などの特定パタンの繰り返しのことである。特に、短距離無線LAN (Local Area Network) と呼ばれる短距離無線リンクの仕様では、-1, +1, -1, +1または+1, -1, +1, -1の2通りのプリアンプルが定義されている。ここで、+1は正の周波数偏移を表し、-1は負の周波数偏移を表す。また、+1はデジタル信号の“H”に対応し、-1は“L”に対応する。なお、図7において、 t_3 はプリアンプルの送信開始時点、 t_4 はプリアンプル終了時点または送信データ開始時点である。

【0027】

次に、図5を用いてチャージポンプの回路について説明する。

【0028】

チャージポンプ5は制御回路13から出力された制御信号CL/OPが入力され、制御信号CL/OPは制御状態に対応してPLLが閉ループまたは開ループ

制御となるようにチャージポンプのチャージ電流を制御する機能を持っている。

【0029】

チャージポンプ5は、基準電流 I_c を流す基準電流源41と、基準電流源41の出力に接続され、ドレインとソースが接続されたNMOSトランジスタ42と、NMOSトランジスタ42のゲートに、それぞれのゲートが接続されたNMOSトランジスタ47、48と、ドレインとゲートが接続されると共にドレインがNMOSトランジスタ48のドレインに接続されたPMOSトランジスタ43と、ゲートがPMOSトランジスタ43のゲートに接続されたPMOSトランジスタ44と、ソースがPMOSトランジスタ44のドレインに接続され、ドレインがチャージポンプ出力CHPに接続されたPMOSトランジスタ45と、ソースがNMOSトランジスタ47のドレインに接続され、ドレインがチャージポンプ出力CHPに接続されたNMOSトランジスタ46と、位相比較器4からのUP信号を一方の入力とし、制御回路13からのCL/OP信号を他方の入力とするNAND回路49と、位相比較器4からのDN信号を一方の入力とし、制御回路13からのCL/OP信号を他方の入力とするAND回路50とから構成される。

【0030】

図5において、NMOSトランジスタ42、48、47はそれぞれのゲートが接続されて、カレントミラー回路を構成している。したがって、NMOSトランジスタ42、48、47には同じ電流が流れる。さらにPMOSトランジスタ43、44のゲート同士も接続されてカレントミラーの回路構成となっており、この2つのPMOSトランジスタ43、44にも同じ電流が流れる。したがって、これらのトランジスタ42、43、44、47、48の電流値は基準電流 I_c と等しくなる。

【0031】

次に、制御回路13からの制御信号CL/OP信号がNAND回路49とAND回路50に接続されているので、制御信号CL/OPが“L”のときはNAND回路49の出力は常に“H”、AND回路50の出力は常に“L”となる。したがって、NAND回路49の出力がゲートに接続されているPMOSトランジスタ45と、AND回路50の出力がゲートに接続されるNMOSトランジスタ

46とはオフ状態になり、チャージポンプ5の出力CHPは高抵抗状態に保持される。このとき、PLLは開ループ制御となる。

【0032】

一方、制御回路13からの制御信号CL/OPが“H”のときは、NAND回路49の出力は位相比較器4から与えられるUP信号の反転した信号を出力し、AND回路50の出力は位相比較器4から与えられるDN信号と同じ信号となる。したがって、UP信号が“H”のときはPMOSトランジスタ45がオン状態となり、チャージポンプ5の出力CHPにPMOSトランジスタ44の電流が供給される。DN信号が“H”のときはNMOSトランジスタ46がオン状態となり、NMOSトランジスタ47の電流がチャージポンプ5の出力CHPから引き抜かれる。つまり、位相比較器4からのUP、DN信号に対応してチャージポンプ電流が供給または吸引される。したがって、この状態でPLLは閉ループ制御となる。

【0033】

以上の構成により、バッファ増幅器9とPLLとを連動した起動・停止の制御が行えるFM送信機が実現できる。

【0034】

<実施の形態2>

次に、図2を用いて本発明に係るFM送信機の第2の実施の形態例について説明する。

【0035】

本実施の形態例は、図1における制御回路13の代わりに、プリアンプ検出回路を用いた制御回路14が設けられている点異なる。制御回路14には、PLL_PD信号、TX信号、TXCK信号およびPA_PD信号の4つの信号が入力され、チャージポンプ5に対して、閉ループ制御と開ループ制御とを選択する制御信号CL/OPを出力する。

【0036】

図4に、本実施の形態例の制御回路の構成を示す。

制御回路14には送信データTXとその同期クロックTXCKが入力され、シ

フトレジスタを構成するレジスタ15～18と、送信データTXがプリアンブルと一致していることをチェックするOR-NAND回路19と、同期クロックTXCKを反転するインバータ20と、OR-NAND回路19の出力をラッチするレジスタ21と、レジスタ21の出力により、出力が“H”にセットされるフリップフロップを構成するNOR回路22, 24と、インバータ25と、PLL_PD信号が入力される奇数段のインバータ26～30と、最終段のインバータ30の出力とPLL_PD信号とを入力とするNOR回路23から構成され、NOR回路23の出力がNOR回路24の入力に接続される。さらに、レジスタ21のリセット端子RにはPA_PD信号が接続される。

【0037】

次に、制御回路14の動作を説明する。

FM送信機が起動すると、PLL_PD信号が“H”から“L”に遷移し、インバータ26～30とNOR回路23により、立ち下がりエッジのところでワンショットのパルスが出力される。NOR回路23はフリップフロップ構成のNOR回路24に入力されるので、インバータ25を介した制御信号CL/OPは、“H”となる。これにより、PLLは閉ループ制御となり、所定の発振周波数への収束を開始する。

【0038】

次に、送信データTXはレジスタ15に入力される。レジスタ15～18はシフトレジスタを構成しており、転送クロックは送信信号に同期したクロックTXCKである。これにより、送信データTXは送信信号間隔毎に転送される。各レジスタ15～18の出力は、OR-NAND回路19に接続される。OR-NAND回路19の一方のOR入力部にはレジスタ15のQ出力、レジスタ16のQの反転出力、レジスタ17のQ出力、レジスタ18のQの反転出力が接続され、他方のOR入力部にはレジスタ15のQの反転出力、レジスタ16のQ出力、レジスタ17のQの反転出力、レジスタ18のQ出力が接続される。以上の接続により、送信データTX内にプリアンブルと一致したデータ(H, L, H, LまたはL, H, L, H)が存在することを検出できる。次にOR-NAND回路19の出力はレジスタ21に入力され、クロックTXCKの反転したクロックで取り

込まれるので、ハザードによる誤動作を防止している。

【0039】

レジスタ21のQ出力は上記フリップフロップを構成するNOR回路22の入力に接続され、プリアンブルとの一致が検出されたとき、フリップフロップをリセットして、制御信号CL/OPは“H”から“L”に遷移する。これにより、PLLは開ループ制御となる。

【0040】

図8に、本実施の形態例の制御タイムチャートを示す。制御信号CL/OPはプリアンブル検出後に開ループ制御となる。プリアンブルは正負の周波数偏移の繰り返し信号であるため、短距離無線LANのような1Mbpsの送信レートを持つ場合、500kHzの繰り返し周期となる。これはPLLのループ帯域（自然周波数 ω_n ）に対して十分高いので、閉ループ制御による信号の抑圧は発生せず、PLLを閉ループ制御にしたままでもFM変調信号が生成できる。なお図8において、 t_3 はプリアンブルの送信開始時点、 t_4 はプリアンブル終了時点または送信データ開始時点である。

【0041】

さらに、本実施の形態例におけるチャージポンプ5について、図6を用いて説明する。

本実施の形態例におけるチャージポンプ5は、バイアス電流を停止することによりPLLを開ループ制御とする。前述した実施の形態例1のチャージポンプと異なる点は、基準電流 I_c がCL/OP信号により起動・停止される点と、NMOSトランジスタ42のゲートを停止時にグラウンドに接続するNMOSトランジスタ52と、PMOSトランジスタ43のゲートを停止時に電源端子に接続するPMOSトランジスタ51とが追加され、さらに、制御信号DNが接続されたAND50を削除し、制御信号DNが直接NMOSトランジスタ46のゲートに接続され、制御信号UPが接続されていたNAND49をインバータ54に変更している。また、上記NMOSトランジスタ52のゲート信号はCL/OPの反転信号がインバータ53により生成され、NMOSトランジスタ52のゲートに接続される。

【0042】

本実施の形態例におけるチャージポンプ5はCL/OP信号が“H”のとき、位相比較器4からの制御信号UPと制御信号DNにより通常動作が行われるが、CL/OP信号が“L”のときは基準電流 I_c が零となり、さらに、NMOSトランジスタ47とPMOSトランジスタ44のゲート・ソース間電圧が零となるので、チャージポンプ5の出力CHPへの電流のやり取りは発生しない。したがって、PLLは開ループ制御となる。

【0043】

＜実施の形態3＞

次に、本発明に係るFM送信機の第3の実施の形態例について説明する。

本実施の形態例は、前述した第2の実施の形態例で示した図2において、プリアンプル検出回路を用いた制御回路14の構成が異なっている。

図9に、本実施の形態例の制御回路の構成例を示す。この図9に示した制御回路は送信データTXとその同期クロックTXCKを入力とし、送信データTXの“H”に対し+1を、“L”に対し-1を、それぞれ対応させ、同期クロックTXCK信号毎に、上記+1と-1を積分する。その積分結果の絶対値が、予め定められた閾値を越えたとき、“H”レベルの偏り検出信号OFを出力する偏り検出回路53を用いている。この偏り検出回路53はPA_PD信号毎にリセットされ、“L”となる。

【0044】

制御信号CL/OPは、PLL_PD信号によりセットされるので、閉ループ制御が開始される時点は、前述した実施の形態例における制御回路13,14と同じであるが、閉ループから開ループに移行するタイミングが上記検出回路53により送信信号の“H”と“L”の出現数の偏りを検出した時点となることが異なる。

【0045】

図10は図9に示した構成の制御回路を用いた場合のタイムチャートである。プリアンプルに続いて送信データが送信され、送信データの“H”と“L”との偏りが、予め定められた閾値を越えたときに、上記偏り検出回路53が動作し、

P L L を開ループ動作に切り替える (t_5 時点) 。ここで、予め定められた閾値は、特に定められた値はないが、P L L が有する高域遮断特性の影響を行けない範囲、例えば P L L のループ帯域の 1 0 倍ぐらい、短距離無線 L A N への応用の場合、1 0 0 k H z 程度以上の期間を用いるのが望ましい。したがって、閾値は 1 0 ぐらいを用いた。このような構成を用いると制御回路 1 4 を用いたときよりも開ループ制御となる時点 t_5 を遅く設定することが可能となる。なお、図 1 0 において、 t_3 はプリアンプルの送信開始時点、 t_4 はプリアンプルの終了時点、 t_5 は送信データの送信開始時点である。

【 0 0 4 6 】

偏り検出回路 5 3 の構成の一例を、図 1 1 に示す。偏り検出回路 5 3 は、符号数値変換器 5 4 と、加算器 5 5 と、データラッチ 5 6 と、判定器 5 7 とから構成される。このように構成される偏り検出回路 5 3 の動作は、以下の通りである。符号数値変換器 5 4 は、入力される送信データ T X の “ H ” と “ L ” に対応した数値データ “ + 1 ” と “ - 1 ” を発生する。加算器 5 5 とデータラッチ 5 6 により積分器が構成され、同期クロック T X C K 毎に積分を行なう。判定器 5 7 は、データラッチ 5 6 の出力の絶対値を演算し、予め与えられた閾値を越えたことを判定して偏り検出信号 O F を出力する。

【 0 0 4 7 】

【発明の効果】

前述した実施の形態例から明らかなように、本発明によれば、F M 送信機のバッファ増幅器と P L L とを連動して起動・停止制御ができるようになるので、サンプルホールド回路を用いる必要がなく、消費電力の低減が図れる。

【 0 0 4 8 】

また、プリアンプル送信期間において、閉ループ制御状態の P L L を用いて送信プリアンプルを送出できるようになるため、バッファ増幅器の起動タイミングを遅く設定できる。それに伴い、バッファ増幅器の起動している時間を短縮できることが可能となるので、消費電力低減ができる。

【 0 0 4 9 】

さらに、送信データを積分する形式の検出回路を用いれば、送信データを送信

する期間でもデータの偏りがない場合には閉ループ送信が可能となるので、バッファ増幅器の起動している時間をさらに短縮できる。

【図面の簡単な説明】

【図 1】

本発明に係る FM 送信機の一実施の形態例を示すブロック回路図である。

【図 2】

本発明に係る FM 送信機の別の実施の形態例を示すブロック回路図である。

【図 3】

図 1 の FM 送信機で用いる制御回路の構成例を示す回路図である。

【図 4】

図 2 の FM 送信機で用いる制御回路の構成例を示す回路図である。

【図 5】

図 1 の FM 送信機で用いるチャージポンプの構成例を示す回路図である。

【図 6】

図 2 の FM 送信機で用いるチャージポンプの構成例を示す回路図である。

【図 7】

図 1 に示した FM 送信機の制御タイムチャートである。

【図 8】

図 2 に示した FM 送信機の制御タイムチャートである。

【図 9】

図 2 に示した FM 送信機の構成で、制御回路を偏り検出回路を用いて構成する場合の回路図である。

【図 1 0】

図 9 の制御回路を用いた場合の FM 送信機の制御タイムチャートである。

【図 1 1】

図 9 の偏り検出回路の構成例を示すブロック図である。

【符号の説明】

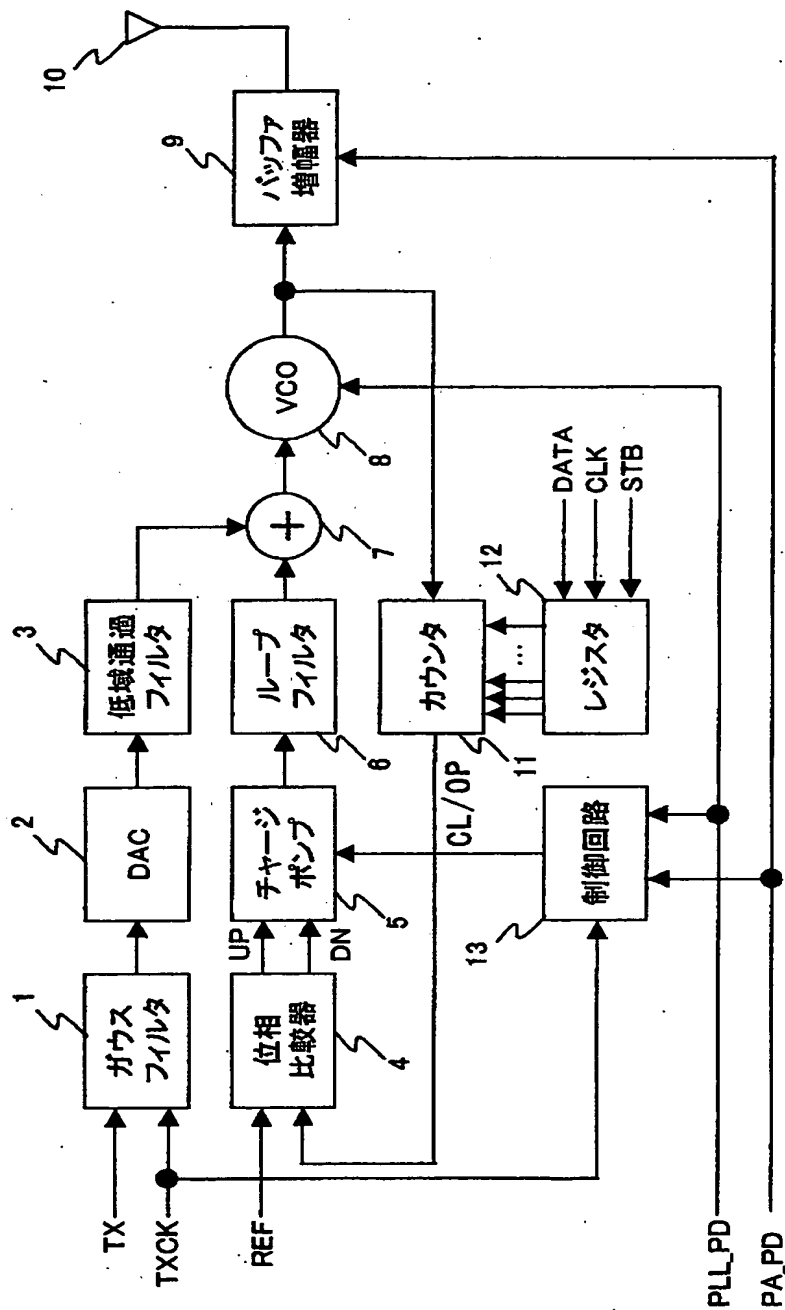
1 … ガウスフィルタ、 2 … D A C、 3 … 低域通過フィルタ、 4 … 位相比較器、
5 … チャージポンプ、 6 … ループフィルタ、 7 … 加算器、 8 … V C O、 9 … バッ

ファ増幅器、10…アンテナ、11…カウンタ、12…レジスタ、13, 14…制御回路、15~18, 31~34…シフトレジスタ、19…OR-NAND回路、20, 26~30, 25, 35~39, 53, 54…インバータ、21…リセット付きレジスタ、22~24, 40…NOR回路、41…基準電流源、42, 46~48, 52…NMOSトランジスタ、43~45, 51…PMOSトランジスタ、53…偏り検出回路、54…符号数値変換器、55…加算器、56…データラッチ、57…判定器。

【書類名】 図面

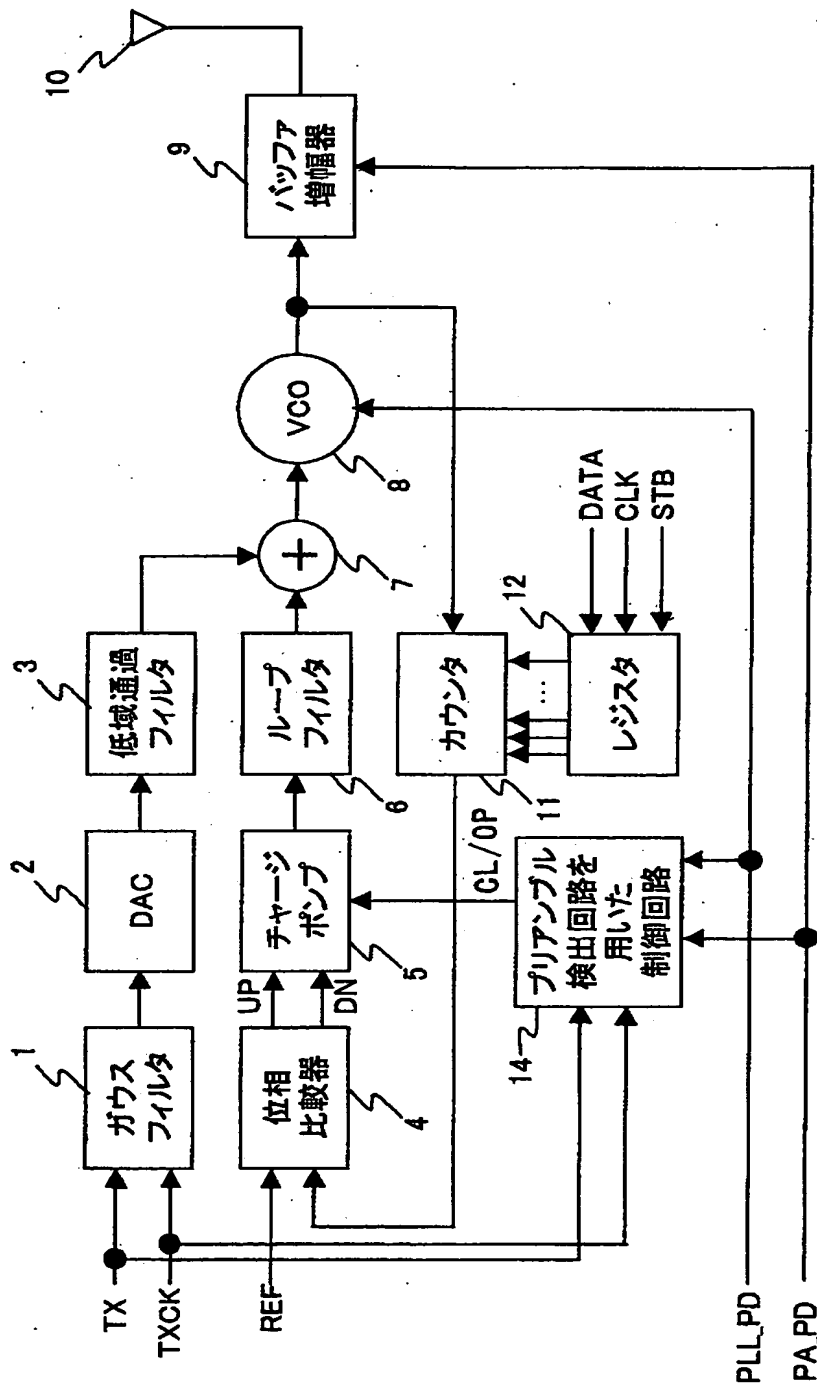
【図 1】

図 1

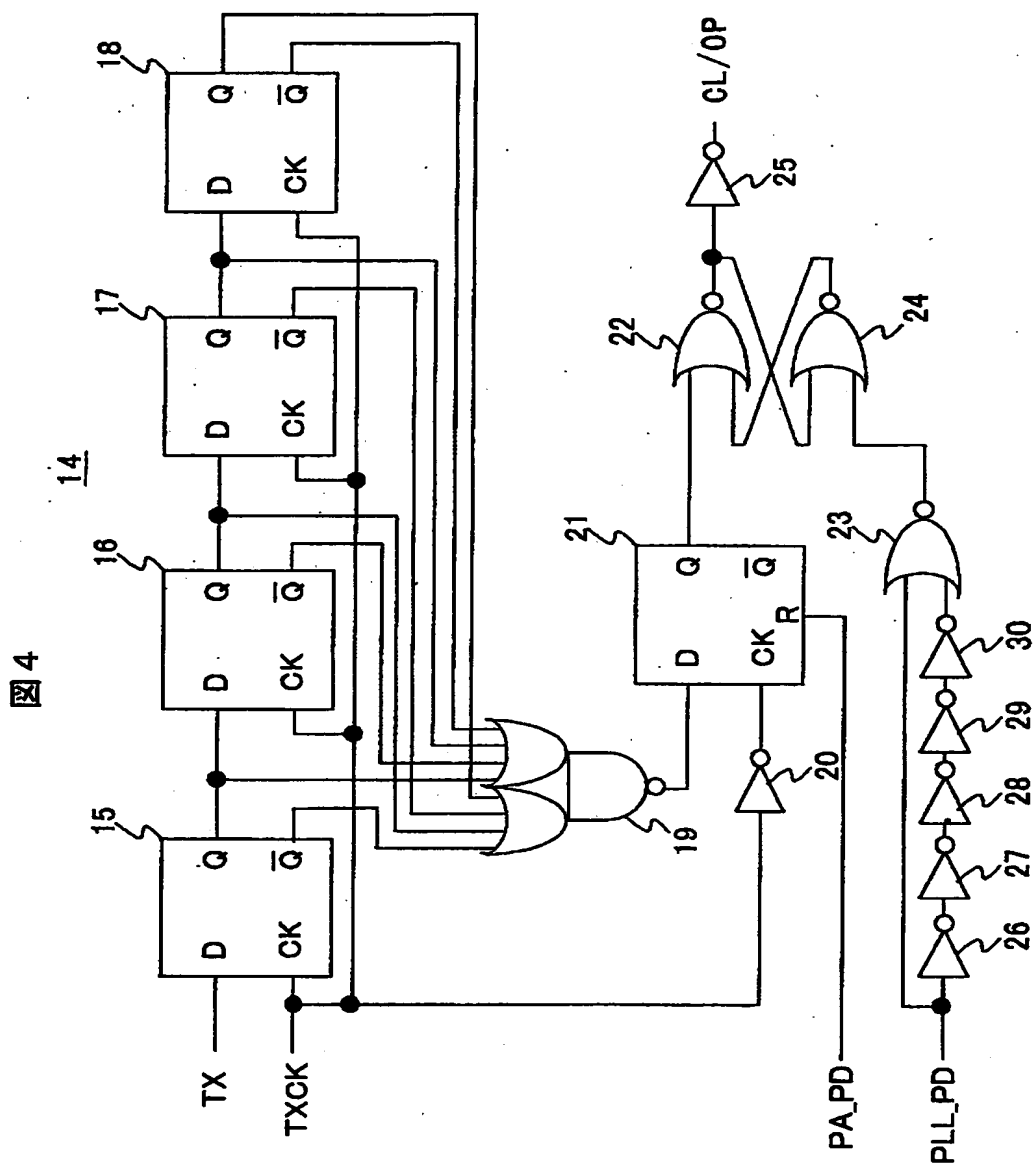


【図2】

図2

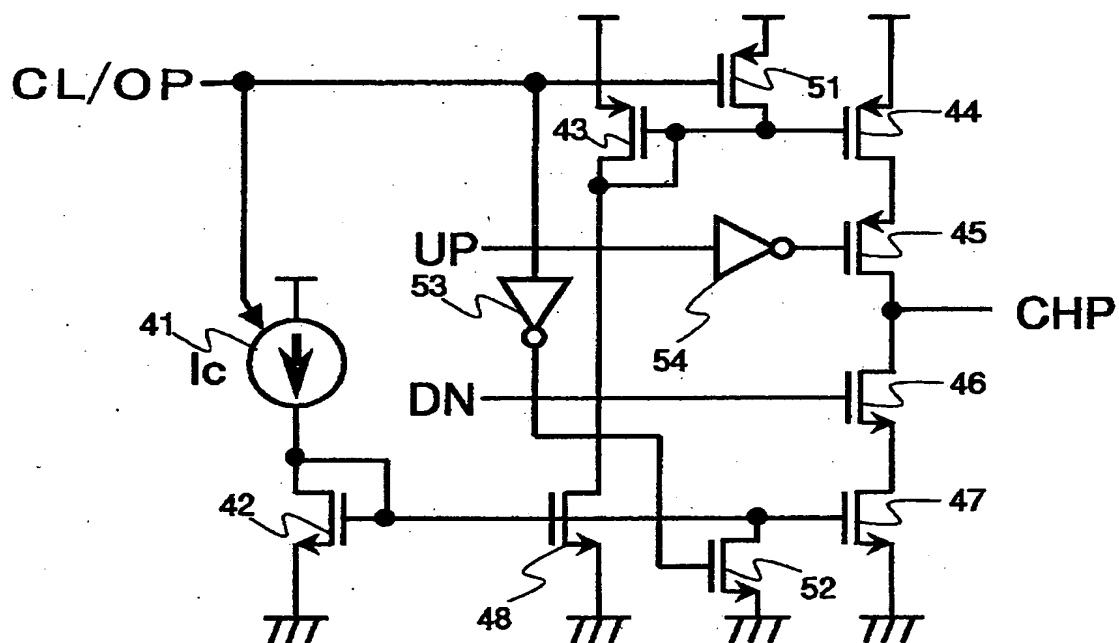


【図4】



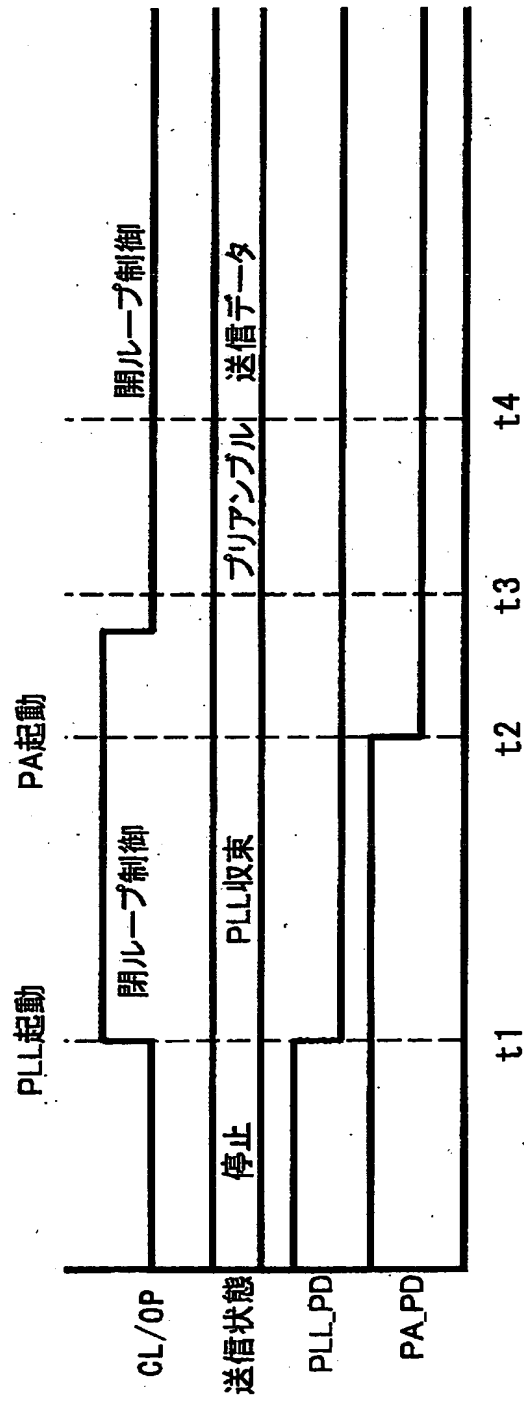
【図 6】

図 6

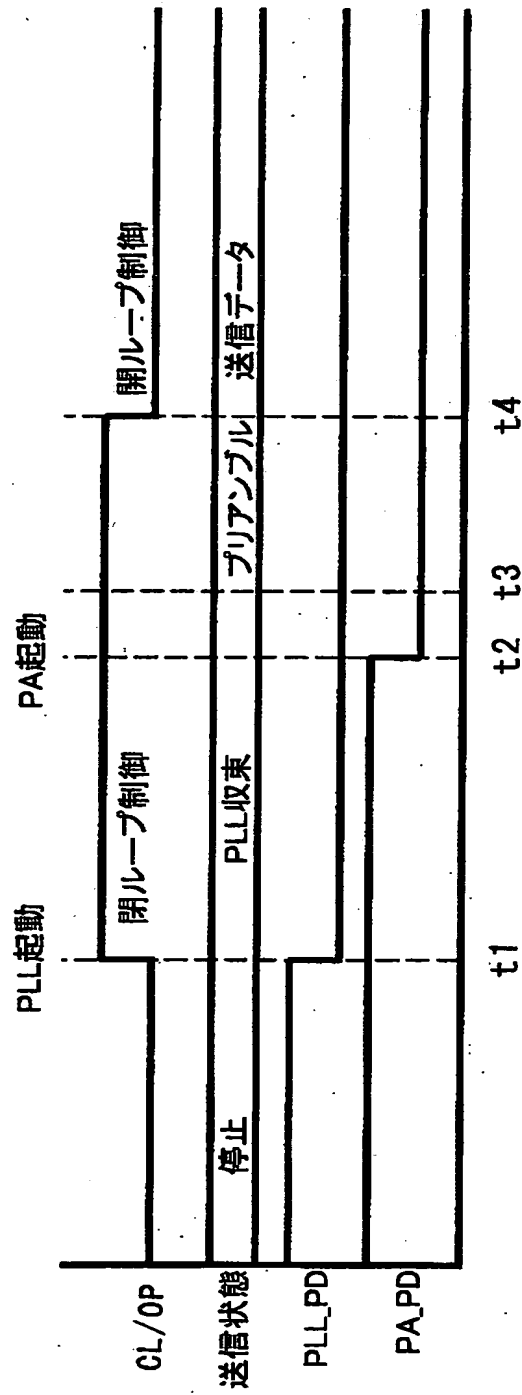


【図 7】

図 7

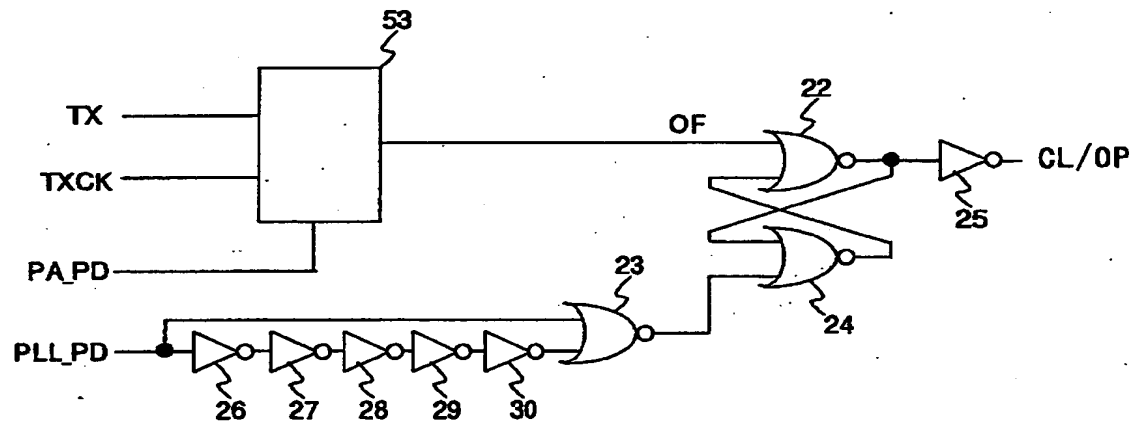


【図 8】



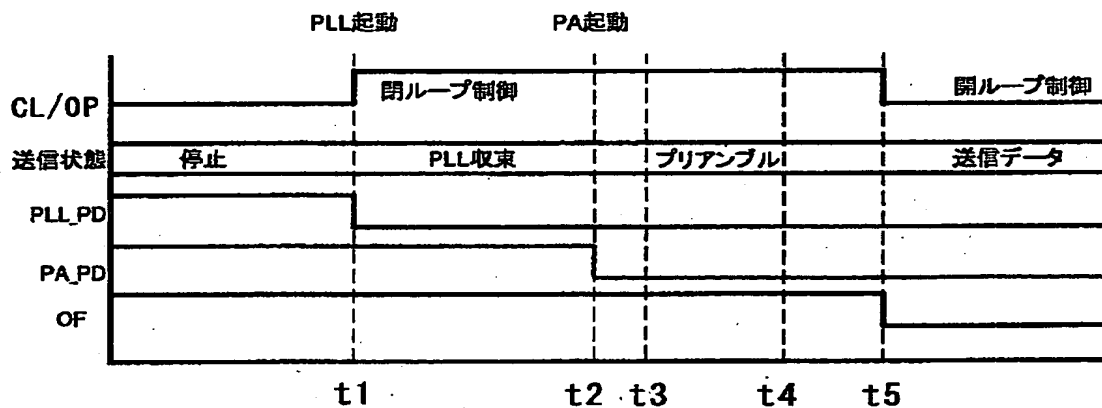
【図 9】

図 9



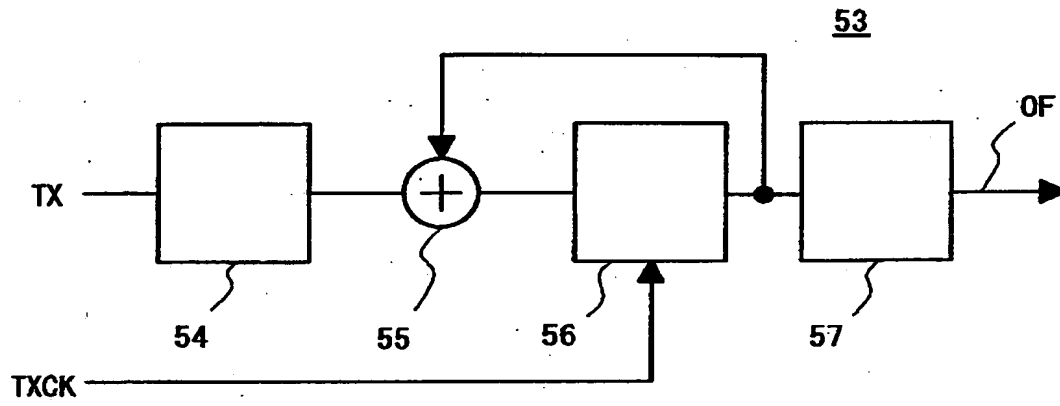
【図 10】

図 10



【図 1 1】

図 1 1



【書類名】 要約書

【要約】

【課題】 バッファ増幅器までも含めた起動／停止の制御が可能で、サンプルホールド回路をPLLの開ループ移行に用いる必要のないFM送信機を提供する。

【解決手段】 PLL内のチャージポンプ5を制御してFM変調動作の起動／停止を行なう制御回路14を、PLLの開ループ／閉ループ選択信号CL／OPとバッファ増幅器9の起動／停止信号PA__PDとプリアンプ検出信号を用いて制御する構成とする。

【効果】 FM送信機のバッファ増幅器とPLLとを連動して起動・停止制御ができるようになるので、消費電力の低減が図れる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所